

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-065536

(43)Date of publication of application : 09.03.1999

(51)Int.Cl. G09G 3/36
G02F 1/133

(21)Application number : 09-236591

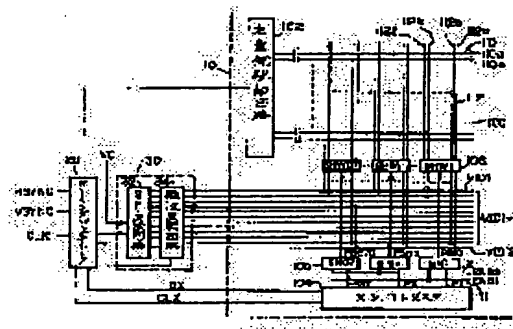
(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 18.08.1997

(72)Inventor : UCHIDA MASAHIDE
NAKAMURA JUNICHI**(54) IMAGE DISPLAY DEVICE, IMAGE DISPLAY METHOD AND ELECTRONIC EQUIPMENT USING THE SAME, AND PROJECTION TYPE DISPLAY DEVICE****(57)Abstract:**

PROBLEM TO BE SOLVED: To reduce image unevennesses and ghosts even while developing an image signal in (n) phases.

SOLUTION: Pixel data are developed in (n) phases and (n) pieces of sample-and-hold switches are connected in parallel to be made sample-and-holding switch blocks corresponding to them and ons/off of the sample-and-hold switch blocks are controlled by logics between output signals of respective enable circuits and output signals of an X-shift register 104. In respective sampling periods of respective pixel data, pixel data sampled in previous sampling periods in respective phase developing signal lines which corresponds to pixels are supplied at the starting time of a normal pixel sampling period. Moreover, in the normal pixel data sample-and-holding period, corresponding sample-and-holding blocks are made to be in off states. Sampling periods of the pixel data are adjusted by a dot clock signal and they are set overall in 13-16 cycles and their duty factors are set to be roughly equal to or smaller than 66.7%.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-65536

(43) 公開日 平成11年(1999) 3月9日

| (51) Int. Cl. ⁶ | 識別記号 | F I |
|----------------------------|-------|---------------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 |
| G 0 2 F 1/133 | 5 5 0 | G 0 2 F 1/133 5 5 0 |

審査請求 未請求 請求項の数20 F D (全 22 頁)

(21) 出願番号 特願平9-236591

(22) 出願日 平成9年(1997) 8月18日

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 内田 雅秀

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 中村 旬一

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

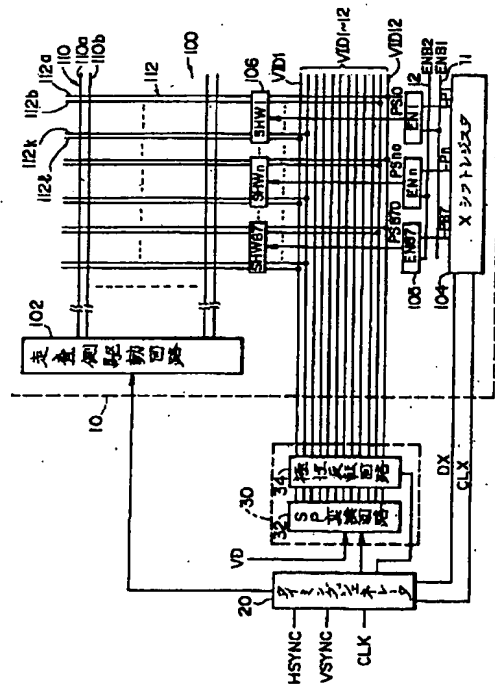
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 画像表示装置、画像表示方法及びそれを用いた電子機器並びに投写型表示装置

(57) 【要約】 (修正有)

【課題】 画像信号をn相展開しながらも、画像むらやゴーストを低減する。

【解決手段】 画素データをn相展開し、それと対応してサンプルホールドスイッチをn個並列に接続してサンプルホールドスイッチブロックとして、各イネーブル回路の出力信号とXシフトレジスタ104の出力信号との論理によりサンプルホールドスイッチブロックのオン/オフを制御する。各画素データのサンプリング期間には、画素に対応する各相展開信号ラインにおける、前回のサンプリング期間においてサンプリングした画素データを、正規の画素のサンプリング期間開始時に供給する。また、正規の画素データのサンプルホールド期間中に、対応するサンプルホールドスイッチブロックをオフ状態にする。画素データのサンプリング期間はドットクロック信号により調整し、全体で13～16周期、デューティは略66.7%以下に設定する。



1

【特許請求の範囲】

【請求項 1】 複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線及び走査信号線に接続された表示要素をマトリクス状に配置してなる画像表示部と、
前記走査信号線を順次選択する走査信号を、前記走査信号線に供給する走査信号選択手段と、
前記画像表示部に表示すべき画像のシリアルデータとしての画像信号を、基準クロックに基づいて設定されたサンプリング期間信号の入力によりサンプルホールドし、
かつ、一定の画素ごとに前記シリアルデータを展開して、1画素あたりのデータの時間が前記基準クロックの n ($n \geq 2$) 倍に変換された複数の画素データを、パラレル出力する相展開手段と、
各々の前記データ信号線にそれぞれ接続され、前記複数の画素データをサンプリング期間にわたってサンプリングして、それと対応する前記各データ信号線に供給する複数のサンプリング手段と、
前記複数の画素データのサンプルホールド期間前に生成されるとともに、前記各サンプルホールド期間の終了よりも前に前記生成が終了され、かつ、前記基準クロックの n 倍よりも長いサンプリング期間を有する、複数のサンプリング期間信号を、前記サンプリング手段にそれぞれ供給するサンプリング期間信号生成手段と、
前記サンプリング期間信号生成手段に、それぞれの前記サンプリング期間を含む期間に信号を供給して、前記複数のデータ信号線をそれぞれ選択するデータ信号線駆動手段と、
を設けたことを特徴とする画像表示装置。

【請求項 2】 請求項 1 において、
前記サンプリング手段は、複数のスイッチング素子にて形成された複数のサンプルホールドスイッチブロックを含むものであり、各々の前記サンプルホールドスイッチブロックは、パラレル出力される前記複数の画素データを、共通のサンプリング期間にわたって同時にサンプリングすることを特徴とする画像表示装置。

【請求項 3】 請求項 2 において、
前記画像表示部は、基板上に形成された液晶表示部であり、
複数の前記スイッチング素子は、前記基板上に形成された複数の TFT で構成され、
前記サンプリング期間信号生成手段からの前記サンプリング期間信号は、前記各サンプルホールドスイッチブロックごとに、各々の前記 TFT のゲートに供給されると共に、前記各々の TFT のソースには、それぞれ画素データが供給されていることを特徴とする画像表示装置。

【請求項 4】 請求項 2 または 3 において、
前記サンプリング期間の開始時には、ダミーの画素データが、前記サンプルホールドスイッチブロックに供給されることを特徴とする画像表示装置。

2

【請求項 5】 請求項 3 において、
前記サンプリング信号生成手段は、隣り合った第 1 / 第 2 のサンプルホールドスイッチブロックへ前記第 1 / 第 2 のサンプリング期間信号をそれぞれ供給し、
第 1 のサンプルホールドスイッチブロックへの第 1 のサンプリング期間信号の供給が開始された後であって、それと対応する第 1 の画素データのサンプリング期間中に、第 2 のサンプルホールドスイッチブロックへの第 2 のサンプリング期間信号の供給を開始することを特徴とする画像表示装置。

【請求項 6】 請求項 5 において、
前記第 2 のサンプルホールドスイッチブロックにおいて、前記サンプリング期間の開始時に前記第 1 の画素データをサンプリングすることで、前記第 1 の画素データがブリチャージ電圧として前記データ信号線に供給されることを特徴とする画像表示装置。

【請求項 7】 請求項 3 乃至 6 のいずれかにおいて、
複数のイネーブル回路と、第 1 / 第 2 のイネーブル信号ラインとを含み、

20 前記複数のイネーブル回路は、前記複数のサンプルホールドスイッチブロックと対応して設けられた前記複数のサンプリング手段と、前記データ信号線駆動手段との間に形成されているものであって、奇数番目に位置するイネーブル回路の入力線は、前記第 1 のイネーブル信号線と接続されているとともに、偶数番目に位置するイネーブル回路の入力線は、前記第 2 のイネーブル信号線と接続されていることを特徴とする画像表示装置。

【請求項 8】 請求項 7 において、
前記複数のイネーブル回路は、前記複数のサンプルホールドスイッチブロックと対応して設けられており、前記各イネーブル回路の出力信号が、サンプリング期間信号として、前記各サンプルホールドスイッチブロックに供給されていることを特徴とする画像表示装置。

【請求項 9】 請求項 8 において、
前記複数のイネーブル回路は、
それぞれ、一方の入力端子には、第 1 または第 2 のイネーブル信号が供給され、他方の入力端子には、前記データ信号線駆動回路からの出力信号が供給される論理積回路を有することを特徴とする画像表示装置。

40 【請求項 10】 請求項 9 において、
前記第 1 および第 2 のイネーブル信号のデューティが、それぞれ 50 % 以上であることを特徴とする画像表示装置。

【請求項 11】 請求項 10 において、
前記基準クロックは、ドットクロック信号であって、前記ドットクロック信号単位にて、前記第 1 / 第 2 のイネーブル信号のデューティ及び位相のうち少なくとも一方を各々変化させる可変手段をさらに有することを特徴とする画像表示装置。

50 【請求項 12】 請求項 11 において、

前記データ信号線駆動手段は、前記複数のサンプルホールドスイッチブロックおよび複数のイネーブル回路とそれぞれ対応して設けられた複数のシフトレジスタにより構成されてなることを特徴とする画像表示装置。

【請求項 1 3】 請求項 1 2 において、前記データ信号線駆動手段は、前記基準クロックの一周期の $2N$ (N は自然数) 倍のパルス幅を持つ入力信号を、前記基準クロックの一周期の N 倍ずつ順次シフトして送出するものであることを特徴とする画像表示装置。

【請求項 1 4】 請求項 1 3 において、前記相展開手段において、前記シリアルデータとしての 1 画素あたりのデータの時間が、前記基準クロックの 1 2 倍に変換されることを特徴とする画像表示装置。

【請求項 1 5】 請求項 1 4 において、前記サンプリング期間信号のデューティが、略 6 6. 7 % 以下に設定されたものであることを特徴とする画像表示装置。

【請求項 1 6】 複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線及び走査信号線に接続された表示要素を駆動する画像表示方法において、前記画像表示部に表示すべき画像のシリアルデータとしての画像信号を、ドットクロック信号に基づいて一定の画素ごとに展開して、1 画素あたりのデータの時間が前記ドットクロック信号の 1 周期の n ($n \geq 2$) 倍に変換されたデータ長をそれぞれ有する複数の画素データをパラレルに出力する工程と、サンプルホールドスイッチ起動信号を、前記画素データのサンプルホールド期間前に生成する工程と、複数の前記画素データを、前記ドットクロック信号の 1 周期の n 倍よりも長いサンプリング期間にてそれぞれサンプリングする工程と、前記走査信号線を順次選択しながら、その選択された走査信号線に接続された前記表示要素に、サンプリングされた前記画素データを前記データ信号線を介して供給する工程と、取り込んだ画素データのサンプルホールド期間の終了よりも前に、前記サンプルホールドスイッチ起動信号の生成を終了する工程と、を有することを特徴とする画像表示方法。

【請求項 1 7】 請求項 1 6 において、前記サンプリング期間は、前記ドットクロック信号を基準として調整可能であることを特徴とする画像表示方法。

【請求項 1 8】 請求項 1 7 において、前記サンプリング期間は、前記サンプリング期間信号のデューティが 5 0 % 以上となるように調整されることを特徴とする画像表示方法。

【請求項 1 9】 請求項 1 乃至 1 5 のいずれかに記載の画像表示装置と、前記画像表示装置に前記基準クロック

を供給するクロック発生回路と、前記画像表示部及び前記クロック発生回路に電力を供給する電源回路と、を有することを特徴とする電子機器。

【請求項 2 0】 請求項 1 乃至 1 5 のいずれかに記載の画像表示装置と、前記画像表示部の画像を拡大投影する投写レンズと、を有することを特徴とする投写型表示装置。

【発明の詳細な説明】

【0 0 0 1】

10 【発明の属する技術分野】 本発明は、画像表示装置、画像表示方法およびそれを用いた電子機器に関するものであり、特に、相展開駆動を行う高精細の画像表示装置に関する。

【0 0 0 2】

【背景技術】 例えば、アクティブマトリクス型の液晶表示装置では、一走査信号ラインに複数接続された T F T (薄膜トランジスタ) 等のスイッチング素子 (画素スイッチ) を介して、各画素の液晶セルにデータを書き込む動作を、点順次駆動及び線順次駆動により実施している。

20 【0 0 0 3】 また、液晶にかかる電圧の偏りによる表示むらをなくし、液晶にかかる直流電流による液晶の劣化などを防ぐために、液晶に印加される電圧の極性を所定のタイミングで反転させる極性反転駆動が行われている。

【0 0 0 4】 極性反転駆動とは、液晶セルの一端に、他端に印加される電位を基準として、異なる極性 (正または負) の電圧を印加する駆動である。尚、本明細書における「極性」とは、液晶セルの一端の電位を基準とした時の液晶セルの他端の電位の極性を意味する。極性反転駆動するには、T F T を用いたアクティブマトリクス型では、液晶を挟んで画素電極と対向する共通電極に印加する電位を変化させるか、あるいは画素電極に印加される画素信号の電圧振幅の中間電位を基準として画素信号の電位レベルを変化させている。

【0 0 0 5】 ここで、前記極性反転においては、走査信号ラインを選択するごとに極性反転を行ういわゆるライン反転方式が知られている。

【0 0 0 6】 図 1 3 に、極性反転駆動方式について説明するための模式図を示す。従来のアクティブマトリクス型の液晶表示装置では、点順次駆動かつ線順次駆動方式を採用し、また、データ信号ラインのプリチャージは直前のブランキング期間に一括して行う方式を採用している。

【0 0 0 7】 図 1 3 において、記載されている「+」、
「-」は、駆動およびプリチャージの極性を示し、線順次駆動においては、隣接する走査信号ラインと接続された画素に異なる極性にて電圧が印加されるようになっている。また、すべての画素は、図に示すように、T F T および液晶セルによりそれぞれ構成されている。

【0008】また、走査信号ライン反転駆動方式においては、隣接する走査信号ラインと接続された画素に異なる極性にて電圧が印加されるようになっている。例えば、データ信号ラインS1に共通に接続された走査信号ラインH1、H2においては、前記走査信号ラインH1には正の極性側の電圧が印加され、前記走査信号ラインH2には負の極性側の電圧が印加される。

【0009】この場合、同一データ信号ラインに接続され、かつ異なる走査信号ラインに接続された2つの画素に、順次表示上で例えば同じ黒を書き込み場合でも、極性反転駆動方式であるため、各々の黒表示データの信号レベルは異なっている。このとき、データ信号ライン自体が寄生容量を持つため、データ信号ラインの電位を、正極性側の黒レベル電位から負極性側の黒レベル電位に変化させるのに通常のシリアルデータ転送を行うと時間を要する。

【0010】ところで、画像表示装置の近年のマルチメディアへの対応の要求に応えるため、例えば、パーソナルコンピュータ(PC)またはエンジニアリング・ワークステーション(EWS)にて、ビデオ信号などの自然画を表示する場合には、例えば、256階調などの多階調化への対応が望まれている。

【0011】この多階調化への対応を、従来のデジタル系の駆動用ICおよびデジタル系の画像信号にて実現しようとする、入力信号数がビット数倍だけ多く必要となる。例えば、256階調のカラー表示の場合には、3本(R, G, B)×8ビット=24本の入力信号数となる。

【0012】このため、図13に示すように、画像信号を例えば6相展開し、1画素あたりのデータの時間を、シリアル入力する場合に比較して長くし、データ信号ラインに供給する信号の周波数を低くする技術が提案されている。(特願平7-245416号)。

【0013】この相展開により、例えばサンプルホールドスイッチとしてのTFTの周波数特性が充分でなくても、相展開された画素データにおいて、安定したデータ領域についてのみサンプリング期間を設定することにより、前回のサンプリング期間における画素データによる影響を受けずに、安定した電位を有する画素データのみをデータ信号ラインに送出することができる。

【0014】しかしながら、画像表示装置においては、画素数の増大により高速駆動の必要性が生じている一方、画素データに対するサンプリング期間が長くなってきており、これが新たな問題となっている。

【0015】

【発明が解決しようとする課題】本発明の目的は、駆動用ICを用いて画像信号をn相展開(nは2以上の整数)しながらも、画像むらやゴーストを低減又は防止できる画像表示装置、画像表示方法およびそれを具備した電子機器を提供することにある。

【0016】

【課題を解決するための手段】請求項1の画像表示装置は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線との、前記複数のデータ信号線及び走査信号線に接続された表示要素をマトリクス状に配置してなる画像表示部と、前記走査信号線を順次選択する走査信号を、前記走査信号線に供給する走査信号選択手段と、前記画像表示部に表示すべき画像のシリアルデータとしての画像信号を、基準クロックに基づいて設定されたサンプリング期間信号の入力によりサンプルホールドし、かつ、一定の画素ごとに前記シリアルデータを展開して、1画素あたりのデータの時間が前記基準クロックのn(n≧2)整数倍に変換された複数の画素データを、パラレル出力する相展開手段と、各々の前記データ信号線にそれぞれ接続され、前記複数の画素データをサンプリング期間にわたってサンプリングして、それと対応する前記各データ信号線に供給する複数のサンプリング手段と、前記複数の画素データのサンプルホールド期間前に生成されるとともに、前記各サンプルホールド期間の終了よりも前に前記生成が終了され、かつ、前記基準クロックのn倍よりも長いサンプリング期間を有する、複数のサンプリング期間信号を、前記サンプリング手段にそれぞれ供給するサンプリング期間信号生成手段と、前記サンプリング期間信号生成手段に、それぞれの前記サンプリング期間を含む期間に信号を供給して、前記複数のデータ信号線をそれぞれ選択するデータ信号線駆動手段と、を設けたことを特徴とする。

【0017】したがって、請求項1に記載の画像表示装置によれば、1画素あたりのデータの時間が基準クロックのN倍に変換された複数の画素データをパラレル出力し、その基準クロックのn倍よりも長いサンプリング期間にてサンプリングすることで、各画素データを指定された画素に確実に書き込むことができ、かつ書き込みブロックごとのラインむら、ゴーストを防止することができる。

【0018】請求項2の画像表示装置によれば、請求項1に記載の特徴点に加え、前記サンプリング手段は、複数のスイッチング素子にて形成された複数のサンプルホールドスイッチブロックを含むものであり、各々の前記サンプルホールドスイッチブロックは、パラレル出力される前記複数の画素データを、共通のサンプリング期間にわたって同時にサンプリングすることを特徴とする。

【0019】したがって、請求項2記載の画像表示装置によれば、前記サンプルホールドスイッチブロックごとに画素データのブロック転送を行うことができる。

【0020】請求項3の画像表示装置は、請求項2に記載の特徴点に加え、前記画像表示部は、基板上に形成された液晶表示部であり、複数の前記スイッチング素子は、前記基板上に形成された複数のTFTで構成され、前記サンプリング期間信号生成手段からの前記サンプリ

ング期間信号は、前記各サンプルホールドスイッチブロックごとに、各々の前記TFTのゲートに供給されると共に、前記各々のTFTのソースには、それぞれ画素データが供給されていることを特徴とする。

【0021】したがって、請求項3に記載の画像表示装置によれば、前記スイッチング素子のスイッチング特性が良くなくても、十分な画素データのサンプリング期間を設けてあるために、前記画素データを画素に確実に書き込むことが可能となる。

【0022】請求項4の画像表示装置は、請求項2または3に記載の特徴点に加え、前記サンプリング期間の開始時には、ダミーの画素データが、前記サンプルホールドスイッチブロックに供給されることを特徴とする。

【0023】したがって、請求項4に記載の画像表示装置によれば、サンプルホールドスイッチブロックへ供給されている正規の画素データではない画素データを、ダミーの画素データとして、前記各サンプルホールドスイッチブロックに対応するサンプリングにおける初期の電圧供給に利用することで、前記サンプルホールドスイッチブロックを形成しているTFTのスイッチング特性の欠点をカバーすることが可能となり、正規の画素データが供給されるまでの期間に、ダミー画素データの有する電位にて、前記サンプルホールドスイッチブロックと対応するデータ信号線の電位を上昇させることができる。

【0024】請求項5の画像表示装置は、請求項3に記載の特徴点に加え、前記サンプリング信号生成手段は、隣り合った第1/第2のサンプルホールドスイッチブロックへ前記第1/第2のサンプリング期間信号をそれぞれ供給し、第1のサンプルホールドスイッチブロックへの第1のサンプリング期間信号の供給が開始された後であって、それと対応する第1の画素データのサンプリング期間中に、第2のサンプルホールドスイッチブロックへの第2のサンプリング期間信号の供給を開始することを特徴とする。

【0025】したがって、請求項5記載の画像表示装置によれば、隣り合ったサンプルホールドスイッチブロックへ第1の画素データを供給している間に、前記第2のサンプルホールドスイッチに対応するサンプリングにおける初期に、前記第2のサンプルホールドスイッチブロックをオン状態とすることで、前記サンプルホールドスイッチブロックを形成しているTFTのスイッチング特性の欠点をカバーすることが可能となる。

【0026】請求項6の画像表示装置は、請求項5に記載の特徴点に加え、前記第2のサンプルホールドスイッチブロックにおいて、前記サンプリング期間の開始時に前記第1の画素データをサンプリングすることで、前記第1の画素データがプリチャージ電圧として前記データ信号線に供給されることを特徴とする。

【0027】したがって、請求項6記載の画像表示装置によれば、隣り合ったサンプルホールドスイッチブロッ

クへ供給されている第1の画素データの有する電圧を、プリチャージ電圧として、前記第2のサンプルホールドスイッチに対応するサンプリングにおける初期の電圧供給に利用することで、前記サンプルホールドスイッチブロックを形成しているTFTのスイッチング特性の欠点をカバーすることが可能となる。

【0028】請求項7の画像表示装置は、請求項3乃至6のいずれかに記載の特徴点に加え、複数のイネーブル回路と、第1/第2のイネーブル信号ラインとを含み、前記複数のイネーブル回路は、前記複数のサンプルホールドスイッチブロックと対応して設けられた前記複数のサンプリング手段と、前記データ信号線駆動手段との間に形成されているものであって、奇数番目に位置するイネーブル回路の入力線は、前記第1のイネーブル信号線と接続されているとともに、偶数番目に位置するイネーブル回路の入力線は、前記第2のイネーブル信号線と接続されていることを特徴とする。

【0029】したがって、請求項7記載の画像表示装置によれば、前記イネーブル回路によって、前記複数のサンプルホールドスイッチブロックへの電圧の供給を制御でき、よって、サンプリング期間信号の生成/非生成を制御することができる。

【0030】請求項8の画像表示装置は、請求項7に記載の特徴点に加え、前記複数のイネーブル回路は、前記複数のサンプルホールドスイッチブロックおよび前記複数のイネーブル回路と対応して設けられており、前記各イネーブル回路の出力信号が、サンプリング期間信号として、前記各サンプルホールドスイッチブロックに供給されていることを特徴とする。

【0031】したがって、請求項8に記載の画像表示装置によれば、前記複数のイネーブル回路のそれぞれの出力信号によって、前記サンプルホールドスイッチブロックごとの制御を行うことが可能となる。

【0032】請求項9の画像表示装置は、請求項8に記載の特徴点に加え、前記複数のイネーブル回路は、それぞれ、一方の入力端子には、第1または第2のイネーブル信号が供給され、他方の入力端子には、前記データ信号線駆動回路からの出力信号が供給される論理積回路を有することを特徴とする。

【0033】したがって、請求項9に記載の画像表示装置によれば、前記複数のイネーブル回路の出力、すなわち、サンプリング期間信号の供給による前記サンプルホールドスイッチブロックのオン時間を基準クロックに基づいて設定することができる。

【0034】請求項10の画像表示装置は、請求項9に記載の特徴点に加え、前記第1および第2のイネーブル信号のデューティが、それぞれ50%以上であることを特徴とする。

【0035】したがって、請求項10に記載の画像表示装置によれば、前記第1のイネーブル信号と前記第2の

10

20

30

40

50

イネーブル信号とを交互に使用して、隣り合った前記各サンプルホールドスイッチブロックをオン状態とすることができる。

【0036】請求項11の画像表示装置は、請求項10に記載の特徴点に加え、前記基準クロックは、ドットクロック信号であって、前記ドットクロック信号単位にて、前記第1/第2のイネーブル信号のデューティ及び位相のうち少なくとも一方を各々変化させる可変手段をさらに有することを特徴とする。

【0037】したがって、請求項11に記載の画像表示装置によれば、前記ドットクロック信号を基準として、出荷段階の調整またはユーザーにおける調整にて、任意に前記第1/第2のイネーブル信号のデューティ及び位相のうち少なくとも一方を変更することが可能となる。

【0038】請求項12の画像表示装置は、請求項11に記載の特徴点に加え、前記データ信号線駆動手段は、前記複数のサンプルホールドスイッチブロックおよび複数のイネーブル回路とそれぞれ対応して設けられた複数のシフトレジスタにより構成されてなることを特徴とする。

【0039】したがって、請求項12に記載の画像表示装置によれば、それぞれ、前記サンプルホールドスイッチブロック、イネーブル回路、シフトレジスタを組として動作させることが可能となり、画素データのブロック転送を容易に行うことができる。

【0040】請求項13の画像表示装置は、請求項12に記載の特徴点に加え、前記データ信号線駆動手段は、前記基準クロックの一周期の $2N$ (N は自然数) 倍のパルス幅を持つ入力信号を、前記基準クロックの一周期の N 倍ずつ順次シフトして送出するものであることを特徴とする。

【0041】したがって、請求項13に記載の画像表示装置によれば、高周波の前記基準クロックを画像表示装置におけるそれぞれのデータの転送の基準クロックとして使用することができる。

【0042】請求項14の画像表示装置は、請求項13に記載の特徴点に加え、前記相展開手段において、前記シリアルデータとしての画像信号の1画素あたりのデータの時間が、前記基準クロックの12倍に変換されることを特徴とする。

【0043】したがって、請求項14に記載の画像表示装置によれば、多くの画素数を有する画像表示装置において、高速に動作を行うことができるだけでなく、ゴーストを防止することができる。

【0044】請求項15の画像表示装置は、請求項14に記載の特徴点に加え、前記サンプリング期間信号のデューティが、略66.7%以下に設定されたものであることを特徴とする。

【0045】したがって、請求項15に記載の画像表示

装置によれば、書き込み画素の電位レベルに影響を与えることなく、多くの画素数を有する画像表示装置において、高速に動作を行うことができるだけでなく、ラインむら、ゴーストを防止することができる。

【0046】請求項16の画像表示方法は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線及び走査信号線に接続された表示要素を駆動する画像表示方法において、前記画像表示部に表示すべき画像のシリアルデータとしての画像信号を、ドットクロック信号に基づいて一定の画素ごとに展開して、1画素あたりのデータの時間が前記ドットクロック信号の1周期の n ($n \geq 2$) 倍に変換されたデータ長をそれぞれ有する複数の画素データをパラレルに出力する工程と、サンプルホールドスイッチ起動信号を、前記画素データのサンプルホールド期間前に生成する工程と、複数の前記画素データを、前記ドットクロック信号の1周期の n 倍よりも長いサンプリング期間にてそれぞれサンプリングする工程と、前記走査信号線を順次選択しながら、その選択された走査信号線に接続された前記表示要素に、サンプリングされた前記画素データを前記データ信号線を介して供給する工程と、取り込んだ画素データのサンプルホールド期間の終了よりも前に、前記サンプルホールドスイッチ起動信号の生成を終了する工程と、を有することを特徴とする。

【0047】したがって、請求項16に記載の画像表示方法によれば、複数の画素データを一括に書き込むことができるため、サンプリング期間を長くすることができ、各画素データを指定された画素に確実に書き込むことができ、かつ書き込みブロックごとのラインむら、ゴーストを防止することができる。

【0048】請求項17の画像表示方法は、請求項16に記載の特徴点に加え、前記サンプリング期間は、前記ドットクロック信号を基準として調整可能であることを特徴とする。

【0049】したがって、請求項17に記載の画像表示方法によれば、前記ドットクロック信号を基準として、出荷段階の調整またはユーザーにおける調整にて、任意に前記第1/第2のイネーブル信号のデューティ及び位相のうち少なくとも一方を変更することが可能となる。

【0050】請求項18の画像表示方法は、請求項17に記載の特徴点に加え、前記サンプリング期間は、前記サンプリング期間信号のデューティが50%以上となるように調整されることを特徴とする。

【0051】したがって、請求項18に記載の画像表示方法によれば、画素データを充分サンプリングすることができる程度のサンプリング期間に設定することが可能である。

【0052】請求項19の電子機器は、請求項1乃至15のいずれかに記載の画像表示装置と、前記画像表示装

置に前記基準クロックを供給するクロック発生回路と、前記画像表示部及び前記クロック発生回路に電力を供給する電源回路と、を有することを特徴とする。

【0053】したがって、請求項19に記載の電子機器によれば、高精細な画像表示装置を有する電子機器に適用でき、かつ、ラインむら、ゴースト等のない電子機器を実現することができる。

【0054】請求項20の投写型表示装置は、請求項1乃至15のいずれかに記載の画像表示装置と、前記画像表示部の画像を拡大投影する投写レンズと、を有すること

を特徴とする。

【0055】したがって、請求項20に記載の投写型表示装置によれば、高精細な画像表示装置を有する投写型表示装置に適用でき、かつ、ラインむら、ゴースト等のない投写型表示装置を実現することができる。

【0056】

【発明の実施の形態】

＜発明の原理説明＞本願発明に先立って、本願発明者が検討した画像表示方法について図13を用いて詳細に説明する。

【0057】図14に示されるように、前述したように、6相展開されてそれぞれパラレル出力される各々の相展開信号のデータ長（1画素あたりのデータの時間）、すなわち、相展開信号ラインVID1～VID6上の電位は、基準クロックの6周期分の長さとなっている。

【0058】これらの相展開信号をTFTなどにより形成されたサンプルホールドスイッチにてサンプリングする際に、例えばTFTのゲートに入力されるサンプリング期間信号S/H(n)、S/H(n+6)、S/H(n+12)のサンプリング期間を、当初は図14に示すように、それぞれ基準クロックの4周期分の長さに設定することを試みた。ここで、前記基準クロックとしては、ドットクロック信号CLKを使用しているものである。

【0059】回路については特に図示しないが、この画像表示方法によれば、前記ドットクロック信号CLKの6周期分のデータ長を有する相展開および極性反転後の画素データ（相展開信号）が、複数のサンプルホールドスイッチを構成する複数のTFTのソース側に供給される。その一方で、前記複数のサンプルホールドスイッチを構成する複数のTFTのゲートには、サンプリング期間信号S/H(n)が入力されており、前記相展開信号のデータ長が前記ドットクロック信号CLKの6周期分であるのに対して、前記サンプリング期間信号S/H(n)は前記ドットクロック信号CLKの1つ目と6つ目のパルスにおいて、それぞれ1周期分が除去された4周期分のサンプリング期間に設定されている。

【0060】すなわち、前記各サンプルホールドスイッチを構成する各TFTのゲートは、前記相展開信号が安

定した後にオンされるだけでなく、しかも、前記相展開信号の電圧レベル、すなわち、画素データが変化しないうちに、前記TFTのゲートがオフされるものである。このように、例えば、VGA程度の画素数を有する画像表示装置においては、前記相展開信号におけるデータ長に対して、電位の安定したデータ領域についてのみをサンプリングする、サンプリング期間を設定することで、前回のサンプリング期間における保持状態である画素データの影響を受けない、安定した書き込みデータのみをデータ信号ラインに送出することができた。

【0061】しかしながら、前述したように、画像表示装置は、多角的に用いられるようになってきており、たとえば、液晶モニタ、ノート・パソコン(PC)、民生機器に用いられている。したがって、高精細化、携帯性強化という観点からの開発が進められており、例えば、高精細化においては、VGA(640×480画素)からXGA(1024×768画素)、XGAからSXGA(1280×1024画素)、SXGAからUXGA(1600×1200画素)へと、画素数の多い画像表示装置の開発が進展している。

【0062】このような画像表示装置における画素数の増加に伴い、液晶パネルの大型化が進展し、それに伴って画像表示装置における画像むらが目立つようになってきており、液晶セルやバックライトの均一性を向上し、輝度むらや色むらを低減するという手法により、前記画像むらに対処している。

【0063】また、前述したように、画像表示装置においては、複数のデータ信号ラインを同時選択駆動する、相展開方式が採用されているために、応答速度の高速化および動画対応が優れているという点で優位である一方、前記画素数の増加に伴うドットクロック信号の高周波化への対応、多階調化への対応、ゴーストの低減への対応という問題の解決が迫られている。

【0064】このゴーストは、図15に模式的に示すように、例えば矢印1を画面2に表示しようとしたとき、この矢印1の走査方向後段に、破線で示すゴースト3が生じるものである。

【0065】前述したような理由で、本願発明者が、画像表示装置の画素数の増加への対応を検討した。すなわち、画素数の増加により、走査信号ライン数、データ信号ライン数も増加するため、特に、横方向の画素数の増加に対応すべく、Xシフトレジスタに含まれる単位シフトレジスタ数の増加及びそのシフトスピードを考慮して、単位シフトレジスタを大幅に増加させないようにしつつサンプルホールドスイッチの応答性を向上させるために、本願発明者は画像データの12相展開を検討した。

【0066】この場合、12本ずつデータ信号ラインをシフトして、各画素データを、同一の走査信号ラインと接続されかつ隣り合った12本のデータ信号ラインと接

続された各画素に対して同時に書き込むという、各画素データの各画素への書き込みの際のブロック転送が必要となる。そして、この画素データのブロック転送により、12本のデータ信号ラインによる各画素へのブロックごとの切れ目、境目が目視できるようになり、例えば、前記ブロック間の境目において、グラデーションや薄い線等のいわゆるラインむらが存在するようになることが確認された。

【0067】このラインむらの原因としては次のように考えられる。すなわち、前記ブロック間の境目に存在しない複数のデータ信号ラインにおいて、隣接する各データ信号ラインに対して同時にデータの書き込み動作が行われているために、データ信号ライン間の容量結合による電圧変化が生じないのに対し、前記ブロック間の境目に存在するデータ信号ラインにおいては、隣接するデータ信号ラインに対するデータの書き込みタイミングが異なるので、前記データ信号線間の容量結合によって、書き込み電圧に変化が生じたためであると考えられる。

【0068】つまり、前記転送ブロック間の境目における画素において、例えば、正極性駆動では、黒を書くべき電圧が容量結合の関係で、中途半端な電圧となってしまうっており、グレーのパターンになってしまうことにより、前述した問題点が発生してしまっていたものである。

【0069】＜実施の形態1＞

（装置の概略構成）図2に、実施の形態1にかかる液晶表示装置の駆動用ICの概要が示されている。同図に示すように、この駆動用ICは主として、シリアルパラレル変換回路32、極性反転回路34、デジタルアナログ変換回路35、アドレスセットコントローラ37、タイミ

ングジェネレータ20からなる。また、説明を省略するが、この駆動用ICは、前記各々の回路および外部信号入力用端子を備えているだけでなく、デジタル系／アナログ系電源用端子AVDD、DVDD、GNDをも備えている。

【0070】以下それぞれの回路の機能について図2を用いて説明する。

【0071】前記アドレスセットコントローラ37は、マイコンインターフェース端子ADDSET、MCCONTを介して、外付けされたマイクロコンピュータからの命令をフェッチし、前記命令を解釈して、前記タイミ

ングジェネレータ20の起動をセットする回路である。

【0072】前記タイミ

ングジェネレータ20は、前記タイミ

ングジェネレータ20は、前記タイミ

ングジェネレータ20は、前記タイミ

ングジェネレータ20は、前記タイミ

ングジェネレータ20は、前記タイミ

ングジェネレータ20は、前記タイミ

ングジェネレータ20は、前記タイミ

ングジェネレータ20は、前記タイミ

電子機器例えば液晶プロジェクタのライトバルブとして用いる小型液晶表示装置であり、液晶パネルブロック10と、タイミングジェネレータ20と、データ処理ブロック30とに大別される。

【0080】タイミングジェネレータ20についての説明は前述したために省略するが、データ処理回路ブロック30は、前述したシリアルパラレル変換回路32と、前記極性反転回路34を含むものである。ここで、本実施の形態では、前記データ処理回路30において、画像信号VDを12相に展開するものとして説明する。

【0081】前記シリアルパラレル変換回路32には、前述したようにデジタル系の画像信号VDが入力され、画像信号VDを12相展開した12相の相展開信号を生成・出力するものである。なお、液晶パネルブロック10における液晶パネル100が3原色のカラーフィルタを有するカラー液晶パネルの場合には、前記シリアルパラレル変換回路32には、R、G、Bの3本の画像信号が入力され、この3本の画像信号VDから例えば12画素分の相展開信号を生成することができる。この12相展開の方法については後述する。

【0082】前記極性反転回路34は、前述したように、12本のデータ信号ライン上の12画素分に対応する相展開信号を、液晶パネルブロックの駆動に必要な電圧に増幅し、必要に応じて極性反転するものである。なお、図1及び図2に示す極性反転回路34とシリアルパラレル変換回路32との位置については逆転させて設けることもでき、画像信号VDを前記極性反転回路34にて極性反転させた後に、シリアルパラレル変換回路32にて相展開することもできる。

【0083】本実施の形態のデータ処理回路ブロック30の出力ラインは、12相展開を実施していることから、図1に示す通り、12本の相展開信号ラインVID1～VID12に分岐されている。

【0084】液晶パネルブロック10は、液晶パネル100と、走査側駆動回路102と、Xシフトレジスタ104と、イネーブル回路105とを、同一回路基板上に備えている。

【0085】液晶パネル100上には、例えば、図1の行方向に沿って延びる複数の走査信号ライン110と、例えば列方向に沿って延びる複数のデータ信号ライン112とが形成されている。なお、本実施の形態では、XGAのような画素数の多い画像表示装置を対象としているため、走査信号ライン110の総数を768本とし、データ信号ライン112の総数を1024本として説明する。

【0086】この走査信号ライン110、データ信号ライン112のそれぞれの交差点付近には、図13に示されるように、スイッチング素子としてたとえばTFT114と液晶セル116とが直列に接続されて表示要素が構成され、これが画素を形成している。ここで、前記デ

ータ信号ライン112は複数設けられているが、その中には数本のダミーデータ信号ラインも含まれている。

【0087】本実施の形態では、前記スイッチング素子を、たとえば3端子型スイッチング素子としており、例えばTFTにて構成している。これに限らず、2端子型スイッチング素子例えばMIM（金属—絶縁層—金属）素子、MIS（金属—絶縁層—半導体層）素子などを用いることができる。

【0088】尚、本実施の形態の液晶パネル100は、2端子型または3端子型のスイッチング素子を用いたアクティブマトリクス型の液晶表示パネルに限らず、単純マトリクス型の液晶表示パネルなど、他の種々の液晶パネルであっても良い。

【0089】走査側駆動回路102は、例えば、769本の走査信号ライン110a、110b、・・・の中から、一本の走査信号ライン110を順次選択するための選択期間が設定された走査信号を出力するものである。

【0090】Xシフトレジスタ104は、タイミングジェネレータ20により、ドットクロック信号CLKの24周期を1周期とし、デューティを50%として形成されたクロック信号CLXおよびシフトレジスタ起動信号DXとをそれぞれ取り込むものである。そして、後述する複数のイネーブル回路105をそれぞれ介して、サンプリング期間を設定するためのサンプリング期間信号PS10、PS870を、データ転送ブロックごと、すなわち12本のデータ信号ライン112のサンプリング期間ごとに生成する回路である。そして、このXシフトレジスタ104は、後述する複数のイネーブル回路105と対応して設けられた、図示しない単位シフトレジスタを含み、前記各単位シフトレジスタの出力信号P1～P87が、前記単位シフトレジスタと対応して設けられた前記各イネーブル回路に入力されている。

【0091】そして、このXシフトレジスタ104は、データ処理回路ブロック30の出力線である12本の相展開信号ラインVID1～VID12と、液晶パネル100におけるデータ信号ライン112a、112b、・・・との間に配置された複数のサンプルホールドスイッチ106それぞれに対して、液晶パネル100を点順次駆動するための前記サンプリング期間信号PS10～PS870を生成するための基準信号を、生成し出力するものである。

【0092】サンプルホールドスイッチ106は、データ信号ライン112と対応して複数設けられており、例えば、TFTのようなスイッチング素子により形成されている。そして、12相展開を行うために、12個のサンプルホールドスイッチにおいて、それぞれゲートが共通に接続され（図3）、サンプリング期間信号により制御されることにより、サンプルホールドスイッチブロックSHW1～SHW87が構成されている。つまり、例

例えば、本実施の形態は、例えば、XGAを対象としているため、1024本分のデータ信号ライン112を12相展開駆動するために、87個のサンプルホールドスイッチブロックSHW1, SHW2, . . . , SHW87が設けられている。更に、前記各サンプルホールドスイッチ106においては、その各ソース側が、それぞれ第1～第12の相展開信号ラインVID1～VID12と接続されており、各ドレイン側が、それぞれデータ信号ラインと接続されている。

【0093】イネーブル回路105は、前記複数のサンプルホールドスイッチブロックSHW1～SHW87と対応して設けられており、12相展開された画素データの各画素へのサンプリングを行うための前記サンプリングスイッチ106の制御によるサンプリング期間信号の生成、すなわち、サンプリング期間の設定を行う回路である。よって、例えば、本実施の形態のようなXGAにおいては、1024本分のデータ信号ライン112を12相展開駆動するために、前記サンプルホールドスイッチブロックSHW1～SHW87と同数、すなわち、87個のイネーブル回路EN1, EN2, . . . , EN87がそれぞれ設けられている。

【0094】そして、このイネーブル回路105の入力線は、前記Xシフトレジスタ104からの出力線および、第1/第2のイネーブル信号ライン11, 12のいずれかと接続され、前記第1/第2のイネーブル信号ライン11, 12により伝送された第1/第2のイネーブル信号ENB1, ENB2のうちのいずれかが入力されている。そして、前記各イネーブル回路105によるサンプリング期間信号の出力により、前記サンプルホールドスイッチ106の各ゲートへ印加する電圧を制御して、前記サンプルホールドスイッチのオン/オフを制御している。

【0095】すなわち、前記イネーブル回路105においては、図1に示されるように、奇数番目に設けられたイネーブル回路EN1, EN3, . . . , EN87と、偶数番目に設けられたイネーブル回路EN2, EN4, . . . , ENn, . . . , EN86 (n=偶数) においては、前記第1/第2のイネーブル信号ライン11, 12との接続が異なるものである。

【0096】つまり、奇数番目に設けられたイネーブル回路EN1, . . . , EN87においては、入力側が前記第1のイネーブル信号ライン11と接続されている。よって、前記奇数番目に設けられたイネーブル回路には、前記Xシフトレジスタ104における各単位シフトレジスタの出力信号P1, P3, . . . , P87と、前記第1のイネーブル信号ENB1が入力されている。

【0097】また、偶数番目に設けられたイネーブル回路EN2, . . . , ENn, . . . , EN87においては、入力側が前記第2のイネーブル信号ライン12と接続されている。よって、前記偶数番目に設けられたイネ

ーブル回路には、前記Xシフトレジスタ104における各単位シフトレジスタの出力信号P2, . . . , Pn, . . . , P86と、前記第2のイネーブル信号ENB2が入力されている。

【0098】次に、このイネーブル回路105によるサンプルホールドスイッチブロックの制御方法について詳細に説明する。本実施の形態では、前記イネーブル回路105は、前記したように87個設けられており、サンプルホールドスイッチは、サンプルホールドスイッチブロックごとにオン状態とされて、各画素への画素データのブロック転送を行うものである。

【0099】図3に、サンプルホールドスイッチ106とイネーブル回路105の回路構成について示す。尚、図3には、一例として第1のイネーブル回路EN1および第1のサンプルホールドスイッチブロックSHW1のみを示すが、前述したように、サンプルホールドスイッチブロックSHW1～SHW87は、同様の回路構成および同様の相展開信号ラインVID1～12との接続がなされているものである。

【0100】まず、図3に示される第1のサンプルホールドスイッチブロックSHW1について説明する。

【0101】前記第1のサンプルホールドスイッチブロックSHW1は、TFTにより形成された12個のサンプルホールドスイッチQ1～Q12により構成されており、前記サンプルホールドスイッチQ1～Q12のゲートは共通に接続されている。

【0102】そして、前記共通接続されたサンプルホールドスイッチQ1～Q12の各ゲートには、第1のイネーブル回路EN1の出力信号である第1のサンプリング期間信号PS10が供給されることにより、前記サンプルホールドスイッチQ1～Q12のオン/オフが制御される。また、前記第1のサンプルホールドスイッチQ1のソース側には第1の相展開信号ラインVID1が、前記第2のサンプルホールドQ2のソース側には第2の相展開信号ラインVID2が、前記第3のサンプルホールドスイッチQ3のソース側には第3の相展開信号ラインVID3が接続されており、同様にして前記第4～第12の各サンプルホールドスイッチQ4～Q12に対してそれぞれ相展開信号ラインVID4～VID12が接続されている。

【0103】したがって、第1のサンプルホールドスイッチブロックSHW1を構成する各サンプルホールドスイッチQ1～Q12がオン状態とされることによって、データ信号ライン110a～110lには、それぞれの画素に対応した画素データが同時に書き込まれる。

【0104】次に、図3に示される第1のイネーブル回路EN1について説明する。

【0105】前記イネーブル回路EN1～EN87は、それぞれ奇数個のインバータが出力段に接続されたナンド回路により構成されている。つまり、前記第1のイネ

10

20

30

40

50

ープル回路EN1は、例えば、図3に示されているとおり、第1のインバータ回路INV1が出力段に接続された第1のナンド回路NAND1により構成されている。ここで、図3にはインバータ回路を1つ設けている例を示しているが、これに限定されることなく、信号伝搬速度や遅延を考慮して、前記インバータ回路を奇数段設けることももちろん可能である。また、同一の論理出力を行う回路であれば、これに限定されることなく使用できると共に、前記サンプルホールドスイッチ106がp型のトランジスタにより構成されている場合は、前記イン

【0106】そして、前記第1のナンド回路NAND1とXシフトレジスタ104との間には、第1のイネーブル信号ENB1が伝送される第1のイネーブル信号ライン11と、第2のイネーブル信号ENB2が伝送される第2のイネーブル信号ライン12とが形成されている。

【0107】そして、前述したように、前記複数設けられたナンド回路NAND1～NAND87の一方の入力ノードは、Xシフトレジスタ104の出力ラインに、他方の入力ノードは前記第1/第2のイネーブル信号ライン11、12のいずれかに固定されているものである。すなわち、図3の第1のイネーブル回路においては、奇数番目に設けられた第1のイネーブル回路EN1の入力ラインは、第1のイネーブル信号ライン11と接続され、前記第1のイネーブル回路EN1の一方の入力ノードに第1のイネーブル信号ENB1が供給されている。

【0108】(12相展開の動作について)次に、図1および図4を参照して、データ処理回路ブロック30におけるシリアルパラレル変換回路32におけるn相展開例えば12相展開の動作について説明する。

【0109】データ処理回路ブロック30に入力されるデジタル系の画像信号VDは、液晶パネル100の各画素に対応するデータがシリアルに並んでいるデジタル信号である。

【0110】12相展開を実施するシリアルパラレル変換回路32は、この画像信号VDを基準クロック、例えばドットクロック信号CLKの一周期の12倍のデータ長を有する相展開信号に展開し、12本の相展開信号ラインVID1～VID12において、パラレルな画素データに変換している。例えば、第1の相展開信号ラインVID1に出力される第1の相展開信号においては、第13、第25画素目のデータを、それぞれドットクロック信号CLKの一周期の12倍のデータ長を有する画素データに展開している。同様に、12画素先のデータが前記データ長に順次展開している。

【0111】第2の相展開信号ラインVID2に出力される第2の相展開信号も同様に、第2、第14、第26画素目などのデータが、前記データ長を有する画素データに展開されて出力されている。本実施の形態では、この展開動作において、図2に示すデジタルアナログ変換

回路35を使用して最終的にアナログ系の画素データに変換している。

【0112】なお、実施の形態1においては、前記データ処理回路30から、第1～第12の相展開信号ラインVID1～VID12に出力される第1～第12の画素データは、図4に示されるようにパラレル出力される。

【0113】(データサンプリングの構成について)次に、本実施の形態の特徴的構成であるサンプルホールドスイッチ106、イネーブル回路105、Xシフトレジスタ104の動作の詳細について、図1、3の回路図及び図4、図6のタイミングチャートを用いて説明する。

【0114】Xシフトレジスタ104は、前述したとおり、イネーブル回路EN1～EN87と対応して設けられている単位シフトレジスタを含んでいる。すなわち、この単位シフトレジスタは、XGAにおいては87個設けられており、それぞれ隣り合う単位シフトレジスタ同士が接続され、クロック信号CLXの授受が前記単位シフトレジスタごとに行われる。つまり、前記単位シフトレジスタは、ラッチ回路を含む回路であって、シフトが開始される最端の単位シフトレジスタには、駆動用ICから供給されたクロック信号CLXおよびシフトレジスタ起動信号DXが入力される。

【0115】前記シフトレジスタ起動信号DXは、Xシフトレジスタ104の起動を指示する信号であるとともに、前記クロック信号CLXは、デューティ50%であり、かつドットクロック信号CLKの24周期分を1周期としたクロック信号である。また、前記単位シフトレジスタは、クロック信号CLXを1周期間ラッチすることで時間のカウントを行い、その間、継続してハイレベルの信号を生成して、それと対応する前記イネーブル回路105へ出力する回路である。

【0116】すなわち、例えば、図1のXシフトレジスタ104において右から左方向にシフトを行う場合には、第1の単位シフトレジスタへのシフトレジスタ起動信号DXの供給にともなう、前記第1の単位シフトレジスタが起動し、クロック信号CLXを内部に取り込む。そして、前記第1のシフトレジスタにて前記クロック信号CLXを1周期間ラッチすることで時間をカウントして、ハイレベルの出力信号P1を生成し、その間、第1のイネーブル回路EN1に前記ハイレベルの出力信号P1を継続的に供給する。

【0117】そして、前記クロック信号CLXのカウント終了後、次段の第2の単位シフトレジスタを起動させる。そして、同様に第2の単位シフトレジスタによって、前記クロック信号CLXをラッチして、1周期分の時間を同様にカウントし、ハイレベルの出力信号P2を生成し、その間、第2のイネーブル回路EN2にハイレベルの信号P2を継続的に供給する。

【0118】同様に、第87の単位シフトレジスタに前記クロック信号CLXが伝送されるまで、前記クロ

ック信号CLXのラッチおよび1周期分の前記クロック信号CLXのラッチおよびカウントが繰り返され、第1の単位イネーブル回路EN1から第87の単位イネーブル回路EN87まで、前記Xシフトレジスタ104からハイレベルの出力信号P1~P87が順次シフトされることに供給される。

【0119】そして、前記イネーブル回路EN1~EN87は、順次一定期間ごとに前記Xシフトレジスタ104から出力されるハイレベルの前記出力信号P1~P87と、第1または第2のイネーブル信号ENB1、ENB2を受けて、ハイレベルのサンプリング期間信号PS10~PS870を生成し、サンプルホールドスイッチブロックSHW1~SHW87へそれぞれこれらの信号を供給する。

【0120】すなわち、例えば、図3に示される第1のイネーブル回路EN1を例として用いて説明すると、ハイレベルの出力信号P1がXシフトレジスタ104から前記第1のイネーブル回路EN1に入力されているとともに、前記第1のイネーブル回路EN1には第1のイネーブル信号ENB1が供給されている。つまり、共にハイレベルである、出力信号P1および前記第1のイネーブル信号ENB1とが第1のナンド回路NAND1に入力されることにより、第1のナンド回路NAND1は、ロウレベルの信号を形成する。

【0121】その後、次段の第1のインバータ回路INV1がこのロウレベルの信号を受けて、第1のイネーブル回路EN1出力としてハイレベルの第1のサンプリング期間信号PS10を出力し、これが第1のサンプルホールドスイッチブロックSHW1に供給される。

【0122】よって、前記第1のサンプルホールドスイッチブロックSHW1を構成するサンプルホールドスイッチQ1~Q12のそれぞれのゲートに、ハイレベルの第1のサンプリング期間信号PS10が供給される。したがって、前記サンプルホールドスイッチQ1~Q12が一斉にオン状態とされ、前記サンプルホールドスイッチQ1~Q12におけるソース側の相展開信号ラインVID1~VID12と、ドレイン側のデータ信号ライン112a~112lが電気的に接続される。

【0123】このことによって、前記サンプリングホールドスイッチQ1~Q12および前記データ信号ライン112a~112lを介してそれぞれの画素に画素データが一括で書き込まれる。

【0124】(データサンプリング期間の設定について) 以下に、前述した本発明の液晶表示装置における画素データのサンプルホールド期間の設定方法について説明する。

【0125】このサンプルホールド期間については、前記サンプルホールドスイッチSHW1~SHW87のゲートに供給されるサンプリング期間信号PS10~PS870の供給時間によって設定される。

【0126】すなわち、駆動用ICは、基準クロックを基準として、クロック信号CLX、Xシフトレジスタ起動信号DX等を生成しているため、ドットクロック信号CLKの周波数を基準としてこのサンプリング期間信号の生成ならびにサンプリング期間の設定を行うことができる。また、この設定は、画像表示装置の出荷前の検査工程またはユーザ側で設定することができる。

【0127】例えば、第1のサンプルホールドスイッチブロックSHW1には、図4に示すとおり、ドットクロック信号CLKの12周期分のデータ長を有する各画素データが、サンプルホールドスイッチQ1~Q12の各ソースラインに供給される。

【0128】一方、前記第1のサンプルホールドスイッチブロックSHW1を構成するサンプルホールドスイッチQ1~Q12のゲートには、前述したように、第1のナンド回路NAND1、第1のインバータ回路INV1により形成された第1のサンプリング期間信号PS10が入力されている。この第1のサンプリング期間信号PS10は、相展開された画素データのデータ長がドットクロック信号CLKの12周期分であるのに対して、例えば、その前で3周期分が追加され、かつその後で1周期分が除去された14周期分のサンプリング期間に設定されている。ここで、特に説明しないが、前記第1~第87のサンプリング期間信号におけるサンプリング期間は、すべて同一である。

【0129】図5にサンプルホールドスイッチブロックごとの画素データの書き込みを説明するための模式図を示し、図4のタイミングチャートを使用して、この画素データの書き込みについて説明する。ここでは、一例として、第1のサンプルホールドスイッチブロックSHW1と接続されたデータ信号ラインSA1上の画素A11における画素データ保持中に、第2のサンプルホールドスイッチブロックSHW2と接続されたデータ信号ラインSB1上の画素B11への画素データを書き込む場合について説明する。尚、前記画素A11および前記画素B11は、共通の走査信号ラインH1に接続されているものである。

【0130】画像表示装置においては、同一水平走査期間において、同一の走査信号ラインと接続されたすべての画素についての画素データの書き込みを行うが、本実施の形態の画像表示装置においては12相展開されているため、前記サンプルホールドスイッチごとのブロック書き込みが行われる。

【0131】画素B11へ画素データを書き込む前の段階で、前記第1のサンプルホールドスイッチブロックSHW1を介して、前記データ信号ラインSA1上の画素A11に画素データADが供給されている。

【0132】そして、図4に示すように、前記第1のサンプルホールドスイッチブロックSHW1をオン状態にさせる第1のサンプリング期間信号PS10が供給され

ている期間に、前記第2のサンプリング期間信号PS20が前記第2のサンプルホールドスイッチブロックSHW2に供給される。つまり、画素A11と接続されたデータ信号ラインSA11は、第1のサンプルホールドスイッチブロックSHW1を介して第1の相展開信号ラインVID1と接続されており、同様に、画素B11の接続されたデータ信号ラインSB11も、第2のサンプルホールドスイッチブロックSHW2を介して前記第1の相展開信号ラインVID1と接続されている。

【0133】よって、画素B11へ書き込みべき相展開された画素データBDが供給される前の3ドットクロックCLK期間に、前記第2のサンプルホールドスイッチブロックSHW2を構成する各サンプルホールドスイッチの各ソースラインへは、第1のサンプルホールドスイッチSHW1を構成する各サンプルホールドスイッチの各ソースラインと同様に、画素A11に対応する画素データADが供給されている。

【0134】したがって、前記第2のサンプルホールドスイッチブロックSHW2を構成する各サンプルホールドスイッチの各ゲートにハイレベルの第2のサンプリング期間信号PS20が供給されて、前記第2のサンプルホールドスイッチブロックSHW2がオン状態とされることにより、第2にサンプルホールドスイッチブロックSHW2を介して前記画素A11に対応する画素データADが、前記データ信号ラインSB1を介して画素B11に供給される。

【0135】例えば、前記走査信号ラインH1および前記データ信号ラインSA1との交点に位置する画素A11において、正極性駆動黒の表示(11V)を行っている場合に、前記第1のサンプルホールドスイッチSHW1にて画素のサンプルホールドを行っている状態で、前述したように、前記第2のサンプルホールドスイッチブロックSHW2がオンしたとする。

【0136】このことにより、前記画素A11への書き込みデータ(11V)が、前記第2のサンプルホールドスイッチSHW2を介し、さらにデータ信号ラインSB1を介して、前記走査信号ラインH1および前記データ信号ラインSB1と接続された画素B11へ供給され、前記画素B11における液晶セルへの電荷のチャージが開始される。このことによって、ドットクロック信号CLKの3周期の期間中、データ信号ラインSB1上の電位が正極性側の黒表示電圧へ向かってチャージされる。言い換えれば、このとき、正規の画素データの書き込み前に、データ信号ラインがプリチャージされている。

【0137】そして、前記ドットクロック信号CLKの3周期の期間終了後、前記データ信号ラインSB1および画素B11への正規の画素データBDの供給が開始されることで、前記第2のサンプルホールドスイッチブロックSHW2のソースに供給される相展開された画素データBDが供給される。この画素データは前記画素A1

1に対応した前記画素データADと同一極性であり、前記画素データBDとして、黒表示電圧(11V)または白表示電圧(9V)が供給され、このうちのいずれかの電圧が前記画素B11に書き込まれる。

【0138】すなわち、前記データ信号ラインSB1上の電位を上昇させるのには時間がかかるため、すでに相展開信号ライン上に現れた、隣接したサンプルホールドスイッチブロックに供給中の画素データをダミー画素データとして、サンプリング期間のごく最初の期間のみに供給することで、画像表示装置におけるサンプリング期間を長く設定することができるため、正確な画素データのサンプリングを行うことができる。

【0139】ここで、本実施の形態の説明としては、データ信号ラインSA1と接続された画素A11、データ信号ラインSB1と接続された画素B11のみを例として挙げたが、図3に示されているサンプルホールドスイッチと同様に、同一のサンプルホールドスイッチブロックと接続されている限り、12個のサンプルホールドスイッチQ1〜Q12のオンタイミングはほぼ同時となる。よって、同一の第1/第2のサンプルホールドスイッチブロックSHW1、SHW2と接続された各々12本のデータ信号ラインに対しても、それぞれ、それらと接続された各画素への画素データの書き込みがサンプルホールドスイッチブロックごとに同時に行われている。

【0140】さらに、同一の相展開信号ラインに接続されているデータ信号ライン上の各画素について、前記相展開信号ラインにおける前回のサンプリング期間における画素データを、今回の画素データの書き込みにおける、ダミー画素データとして取り込むことで、それぞれの画素データのサンプリング期間を長くすることができる。

【0141】したがって、特に説明を省略したが、同時に、たとえば、画素B12への画素データのサンプリング期間の初期には、画素A12と対応した画素データをダミー画素データとして利用し、画素B112への画素データのサンプリング期間への初期には、画素A112と対応した画素データをダミー画素データとして利用することができる。

【0142】ところで、本発明の画像表示装置において、前記第1のサンプルホールドスイッチブロックSHW1のオン状態からオフ状態への切り換えは、第2のサンプルホールドスイッチブロックと接続されたそれぞれのデータ信号ライン112への画素データのサンプルホールド期間中に行われている。

【0143】つまり、次のサンプルホールドスイッチブロックをオンさせる前かつ正規画素データのサンプルホールド期間中に、画素データのサンプリング動作を終了しているため、次のサンプリングデータに影響を与えないようにすることが可能となる。つまり、次の画素データに影響を与える前に、この相展開信号ラインVID

1～VID12上の画素データが変化しないうちに、前記サンプルホールドスイッチ106を構成するTFTは、オフされるものである。

【0144】よって、このようなサンプリング期間を設定することで、たとえ、サンプルホールドスイッチ106がTFTにて形成された場合に、このTFTのスイッチングスピードに限界があったとしても、液晶表示上、隣接した画素データに影響を与えることなく、換言すればゴースト、シャドウイングのない液晶表示を行うことができる。

【0145】前述したXシフトレジスタ104は、左方向から右方向（第87の単位シフトレジスタ→第1の単位シフトレジスタ）にシフトさせる方式、または、右方向から左方向（第1の単位シフトレジスタ→第87の単位シフトレジスタ）にシフト方式のいずれも採用することができる。以下にそれぞれの場合における、本発明の画像表示装置の画素データのサンプリング期間の設定方法について図4、図6、図7を用いて説明する。

【0146】図6は、前記Xシフトレジスタのシフト方向を、左方向から右方向（第87の単位シフトレジスタ→第1の単位シフトレジスタ）に設定した場合の、各々のサンプルホールドスイッチに入力されるサンプリング期間信号、クロック信号、Xシフトレジスタ出力信号の関係を示している。

【0147】シフトレジスタ起動信号DXがXシフトレジスタ104に供給されることによってXシフトレジスタ104が起動され、前記Xシフトレジスタ104における最左端の第87の単位シフトレジスタにてクロック信号CLXを取り込んで、前記クロック信号CLXの1周期の間、出力信号P87を生成し、第87のイネーブル回路EN87に供給する。

【0148】前述したように、第87のイネーブル回路EN87には、第1のイネーブル信号ライン11を介して、デューティー58.3%の第1のイネーブル信号ENB1が供給される。前述したように、前記第87のイネーブル回路EN87の入力段には第87のナンド回路NAND87が設けられているため、前記第1のイネーブル信号ENB1と前記出力信号P87とが共にハイレベルとされることにより、前記第87のイネーブル回路EN87の出力段に設けられた第87のインバータ回路INV87を介してハイレベルの第87のサンプリング期間信号PS870が生成される。

【0149】前記クロック信号CLXの1周期のカウント後、前記Xシフトレジスタ104内において、単位シフトレジスタの右方向へのシフトを行うことにより、第86の単位シフトレジスタにて前記クロック信号CLXが1周期間保持され、前記クロック信号CLXの1周期の間、出力信号P87を生成し、第87のイネーブル回路EN87に供給する。第86のイネーブル回路EN86には、第2のイネーブル信号ライン12を介して、デ

ューティー58.3%の第2のイネーブル信号ENB2が供給される。前述したように、前記第86のイネーブル回路EN86の入力段には第86のナンド回路NAND86が設けられているため、前記第2のイネーブル信号ENB2と前記出力信号P86とが共にハイレベルとされることにより、前記第86のイネーブル回路EN86の出力段に設けられた第86のインバータ回路INV86を介してハイレベルの第86のサンプリング期間信号PS860が生成される。

10 【0150】同様に、前記Xシフトレジスタ104における前記単位シフトレジスタの次段の単位レジスタから最右段の単位シフトレジスタへ、前記クロック信号CLXの1周期ごとに、順にシフトしながら出力信号をP86からP1まで生成し、それぞれ対応するイネーブル回路EN86～EN1に順次供給する。

【0151】このとき、前述した第87/第86のイネーブル回路における動作と同様に、サンプリング期間信号PS870～PS10が生成され、これがクロック信号CLXの1周期ごとに順に生成される。このこと
20 によって、サンプルホールドスイッチブロックSHW87、SHW86、・・・、SHW1を構成するサンプルホールドスイッチの各ゲートにそれぞれ1周期遅れで順にハイレベルの信号が供給され、各画素データが順にブロック転送されて、各画素への各画素データの書き込みが行われる。

【0152】図7は、前記Xシフトレジスタ104のシフト方向を、右方向から左方向（第1の単位シフトレジスタ→第87の単位シフトレジスタ）に設定した場合の、各々のサンプルホールドスイッチに入力されるサン
30 プリング期間信号、クロック信号、Xシフトレジスタ出力信号の関係を示している。

【0153】シフトレジスタ起動信号DXがXシフトレジスタ104に供給されることによってXシフトレジスタ104が起動され、前記Xシフトレジスタ104における最右端の第1の単位シフトレジスタにてクロック信号CLXを取り込んで、前記クロック信号CLXの1周期の間、出力信号P1を生成し、継続的にこれを第1のイネーブル回路EN1に供給する。

【0154】前述したように、第1のイネーブル回路EN1には、第1のイネーブル信号ライン11を介して、デューティー58.3%の第1のイネーブル信号ENB1が供給される。前述したように、前記第1のイネーブル回路EN1の入力段には第1のナンド回路NAND1が設けられているため、前記第1のイネーブル信号ENB1と前記出力信号P1とが共にハイレベルとされることにより、前記第1のイネーブル回路EN1の出力段に設けられた第1のインバータ回路INV1を介してハイレベルの第1のサンプリング期間信号PS10が生成される。

50 【0155】前記クロック信号CLXの1周期間のカウ

ント後、前記Xシフトレジスタ104内において、単位シフトレジスタの左方向へのシフトを行うことにより、第2の単位シフトレジスタにて前記クロック信号CLXが1周期間保持され、前記クロック信号CLXの1周期の間、出力信号P2を生成し、第2のイネーブル回路EN2に供給する。第1のイネーブル回路EN2には、第2のイネーブル信号ライン12を介して、デューティ58.3%の第2のイネーブル信号ENB2が供給される。前述したように、前記第2のイネーブル回路EN2の入力段には第2のナンド回路NAND2が設けられているため、前記第2のイネーブル信号ENB2と前記出力信号P2とが共にハイレベルとされることにより、前記第2の第2のイネーブル回路EN2の出力段に設けられた第2のインバータ回路INV2を介してハイレベルの第2のサンプリング期間信号PS20が生成される。

【0156】同様に、前記Xシフトレジスタ104における前記単位シフトレジスタの次段の単位レジスタから最左段の単位シフトレジスタへ、前記クロック信号CLXの1周期ごとに、順にシフトしながら出力信号をP3からP87まで生成し、それぞれ対応するイネーブル回路EN3～EN87に順次供給する。

【0157】このとき、前述した第1/第2のイネーブル回路における動作と同様に、サンプリング期間信号PS30～PS870が生成され、これがクロック信号CLXの1周期ごとに順に生成される。このことによって、サンプルホールドスイッチブロックSHW1、SHW2、・・・、SHW87を構成するサンプルホールドスイッチの各ゲートにそれぞれ1周期遅れで順にハイレベルの信号が供給され、画素データが順にブロック転送されて、各画素への各画素データの書き込みが行われる。

【0158】以上、本実施の形態の画像表示装置について述べてきたが、本実施の形態の画像表示装置は、前記サンプルホールドスイッチがオンするサンプリング期間を、ドットクロック信号の14周期分に設定していたが、13周期から16周期のいずれに設定することもできる。この場合、前記第1/第2のイネーブル信号ENB1、ENB2のデューティを共に54.2%から66.7%（ドットクロック信号の13周期から16周期に相当）のいずれかに設定すれば良い。

【0159】また、本実施の形態においては、画像表示装置内の前記12本の相展開信号ラインVID1～VID2の配線抵抗と寄生容量による前記相展開信号の遅延、及び前記第1/第2のイネーブル信号ライン11、12の配線抵抗と寄生容量、前記第1～第87のイネーブル回路EN1～EN87の特性と寄生容量、前記サンプルホールドスイッチブロックSHW1～SHW87の特性と寄生容量によるサンプルホールドスイッチブロックSHW1～SHW87を構成する前記サンプルホールドスイッチQ1～Q12のオン/オフタイミングの遅

延は無視して説明を行った。しかし実際の画像表示装置においてはこうした相展開信号の遅延、サンプルホールドスイッチQ1～Q12のオン/オフタイミングの遅延が必ず発生し、これによるゴーストが発生することがある。

【0160】この場合は、相展開信号に対する前記第1/第2のイネーブル信号ENB1、ENB2の位相、結果として相展開信号に対するサンプルホールドスイッチQ1～Q12のオン/オフタイミングを調整することにより、ゴーストの発生を防ぐことができる。

【0161】また、相展開を12相展開として説明したが、これに限定されることなく、各画像表示装置の特性に合わせて、n相展開（ $n \geq 2$ ）することができる。また、本実施の形態においては、前回のサンプリング期間の最後の3ドットクロック前に前記サンプリング期間信号を形成し、画素データのサンプリングが終了する1ドットクロックの1周期分前に前記サンプリング期間信号の供給を停止しているが、これに限定されず、種々の方法を採用することができる。つまり、前回のサンプリング期間（走査信号ラインn上）において、今回のサンプリング期間（走査信号ラインn+1上）の画素データの書き込みに影響を与えない程度の時点で、サンプリング期間信号の供給を開始し、次のサンプリング期間（走査信号ラインn+2上）の画素データの書き込みに影響を与えない程度の時点でサンプリング期間信号の供給を停止すればよい。

【0162】また、本実施の形態においては、前記サンプルホールドスイッチを構成するTFTがn型トランジスタであることを前提として説明したが、前記TFTは、p型トランジスタにて形成することもできる。この場合は、前記サンプルホールドスイッチをオンさせるときに、ロウレベルの電圧を印加する、イネーブル回路の構成にして容易に実現することができる。

【0163】＜実施の形態2＞前述の実施の形態1の画像表示装置を用いて構成される電子機器は、図8に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008および電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAM、などのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、上述のタイミングジェネレータ20に相当するクロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、上述の各実施の形態のデータ処理回路ブロック30に相当し、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、上述の増幅・極性反転回路、相展開回路、ローテーション回路等の他、ガンマ補正回路およびクランプ回路等を含むことができる。駆動回路1004は、上述

の走査側駆動回路102、Xシフトレジスタ104およびプリチャージ駆動回路160、あるいはXシフトレジスタ104を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、前述の各回路に電力を供給する。

【0164】このような構成の電子機器として、図9に示す液晶プロジェクタ、図10に示すマルチメディア対応のパーソナルコンピュータ(PC)およびエンジニアリング・ワークステーション(EWS)、図11に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダー型またはモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0165】図9に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば、3板プリズム方式の光学系を用いている。図9において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚のアクティブマトリクス型液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

【0166】図10に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

【0167】図11に示すページャ1300は、金属製フレーム1302内に、液晶表示基板1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、およびフィルムキャリアテープ1318を有する。2つの弾性導電体1314、1316、およびフィルムキャリアテープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

【0168】ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくとも液晶表示パネルが構成される。一方の透明基板に、図8に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304に搭載されない回路は、液晶表示基板の外付け回路とされる。

【0169】図11はページャの構成を示すものである

から回路基板1308が必要となる。しかし、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図12に示すように、液晶表示基板1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP(Tape Carrier Package)1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

【0170】なお、本発明は上記実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置、CRT等を用いた画像表示装置にも適用可能である。また、相展開数信号のデータ長およびそれに対するサンプリング期間の長さ、あるいはプリチャージ期間の設定位置および長さ等は、上記実施の形態以外の各種の変形が可能である。

【0171】

【図面の簡単な説明】

【図1】本発明を適用したアクティブマトリクス型液晶表示装置の概略図である。

【図2】本発明を適用した液晶駆動回路の全体概略図である。

【図3】本発明によるイネーブル回路およびサンプルホールドスイッチブロックの概略図である。

【図4】本発明による実施の形態1の12相展開信号のデータ長と、サンプリング期間の関係を表わす特性図である。

【図5】本発明による実施の形態1の画像表示装置において画素データのサンプリングを説明するための模式図である。

【図6】本発明による実施の形態1におけるXシフトレジスタにおいて、クロック信号の左シフトを行うサンプリング期間と、イネーブル信号との関係を表わすタイミングチャートである。

【図7】本発明による実施の形態1におけるXシフトレジスタにおいて、クロック信号の右シフトを行うサンプリング期間と、イネーブル信号との関係を表わすタイミングチャートである。

【図8】本発明が適用される電子機器のブロック図である。

【図9】本発明が適用されるプロジェクタの概略図であ

31

る。

【図10】本発明が適用されるパーソナルコンピュータの外観図である。

【図11】本発明が適用されるページの分解斜視図である。

【図12】本発明が適用される外付け回路を備えた液晶表示装置の一例を示す概略斜視図である。

【図13】液晶表示装置における極性反転駆動を説明するための図である。

【図14】従来の6相展開信号のデータ長と、サンプリング期間の関係を表わす特性図である。

【図15】従来の相展開信号を用いて画像表示したときのゴーストの発生を説明するための概略説明図である。

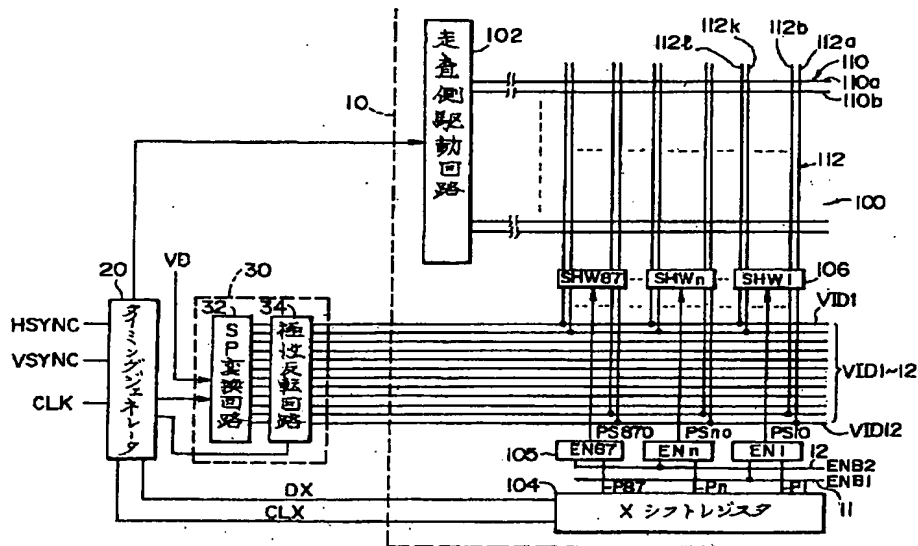
【符号の説明】

- 10 液晶パネルブロック
- 11 第1のイネーブル信号ライン
- 12 第2のイネーブル信号ライン
- 20 タイミングジェネレータ
- 30 データ処理ブロック

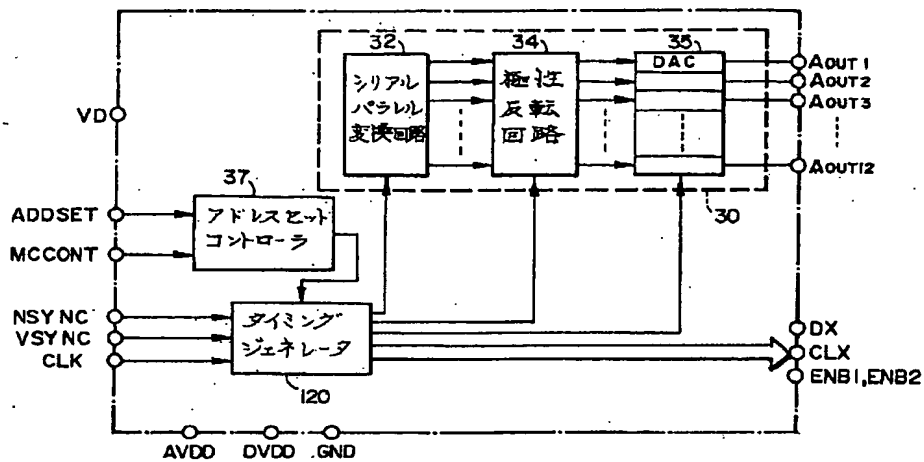
32

- 32 シリアルパラレル変換回路
- 34 極性反転回路
- 35 デジタルアナログ変換回路
- 36 サンプルホールド回路
- 37 アドレスセットコントローラ
- 100 画像表示部（液晶パネル）
- 102 走査側駆動回路
- 104 Xシフトレジスタ
- 105 イネーブル回路
- 106 サンプルホールドスイッチ
- 110 走査信号ライン
- 112 データ信号ライン
- 114 スイッチング素子
- 116 液晶セル
- INV インバータ回路
- NAND ナンド回路
- SHW サンプルホールドスイッチブロック
- EN イネーブル回路

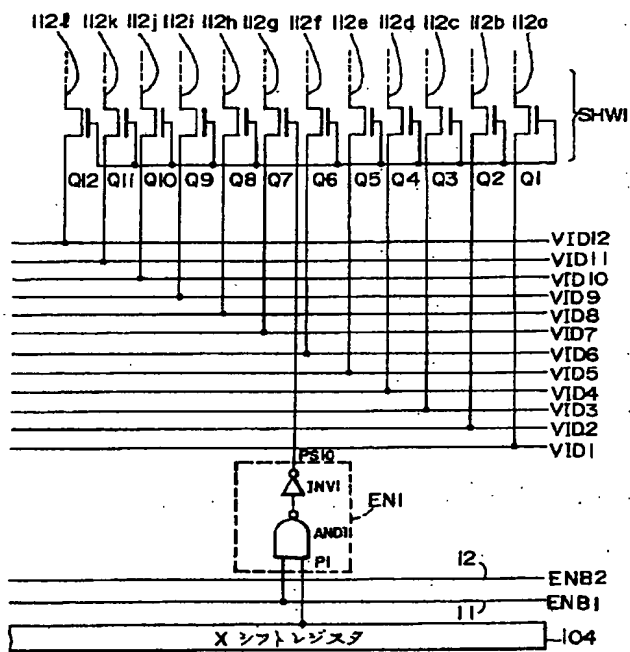
【図1】



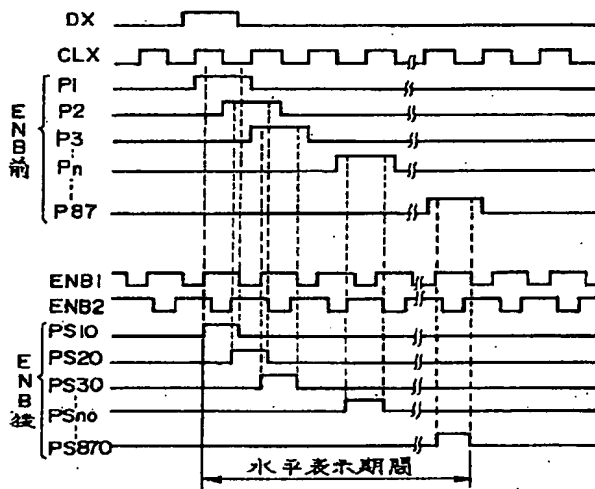
【圖 2】



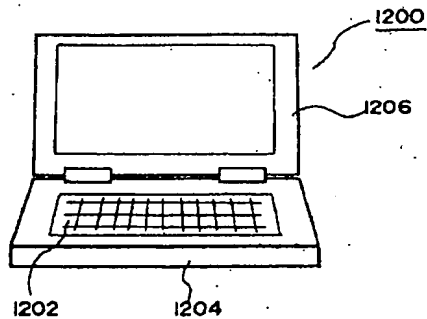
【図 3】



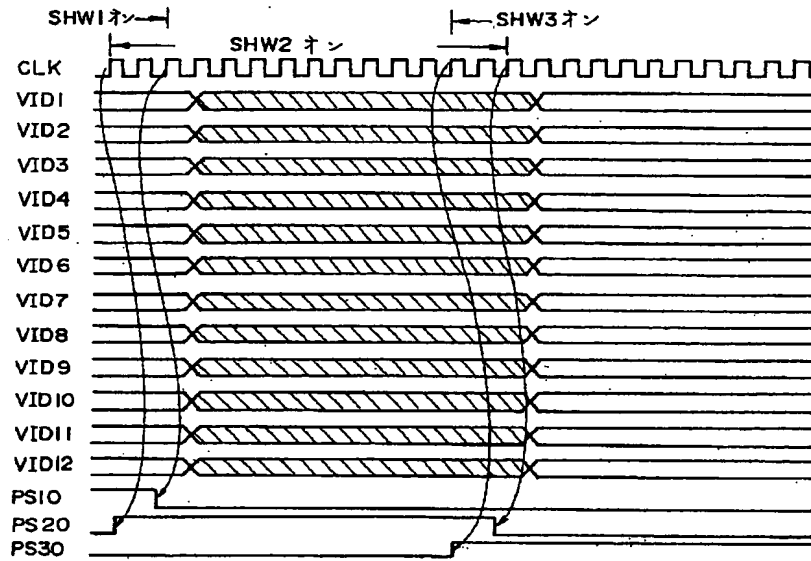
【图7】



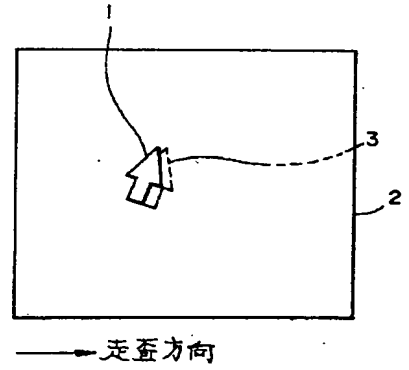
【図 10】



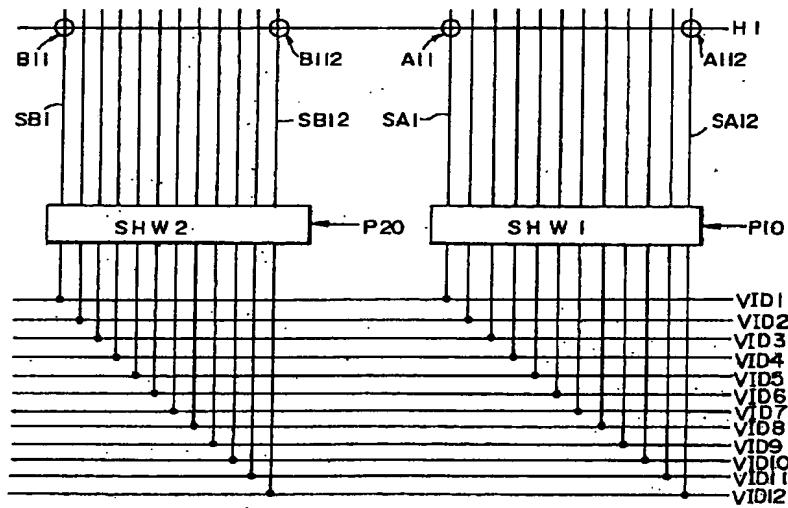
【図 4】



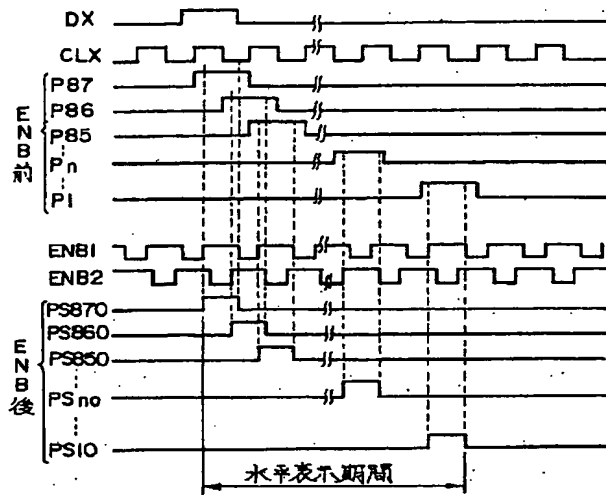
【図 15】



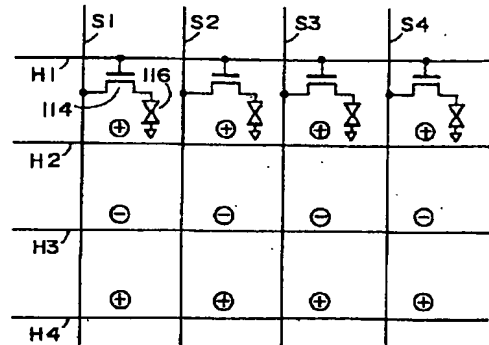
【図 5】



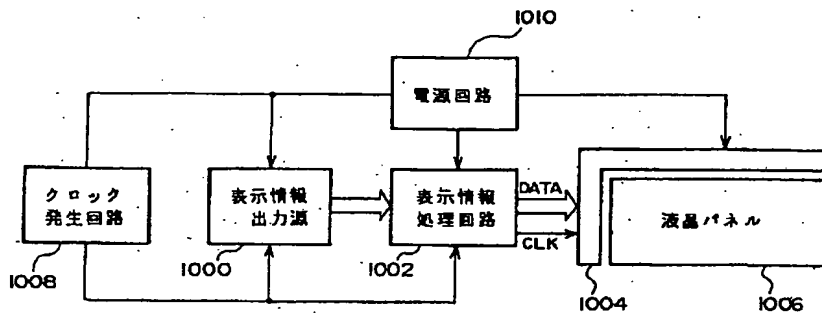
【図 6】



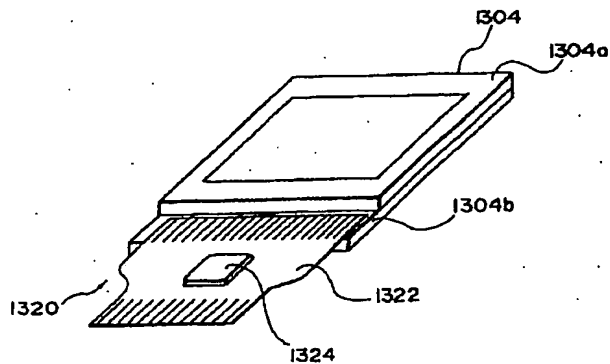
【図 13】



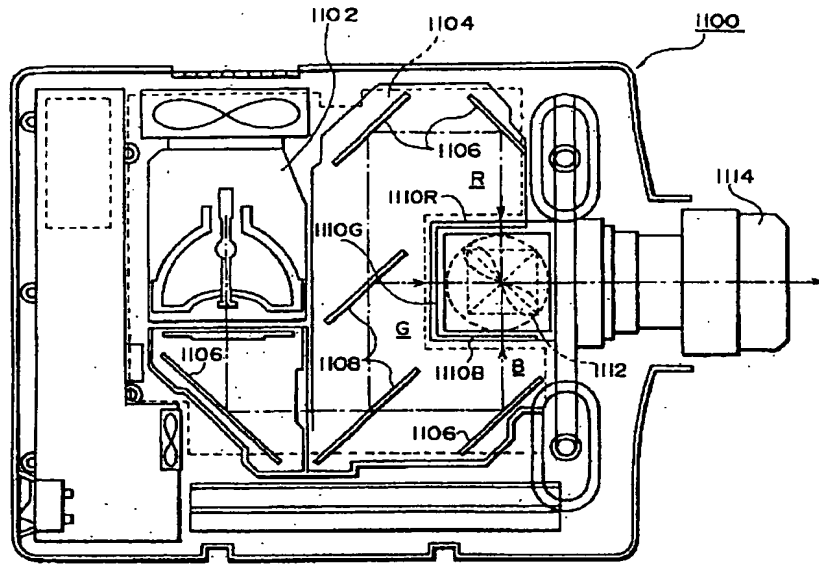
【図 8】



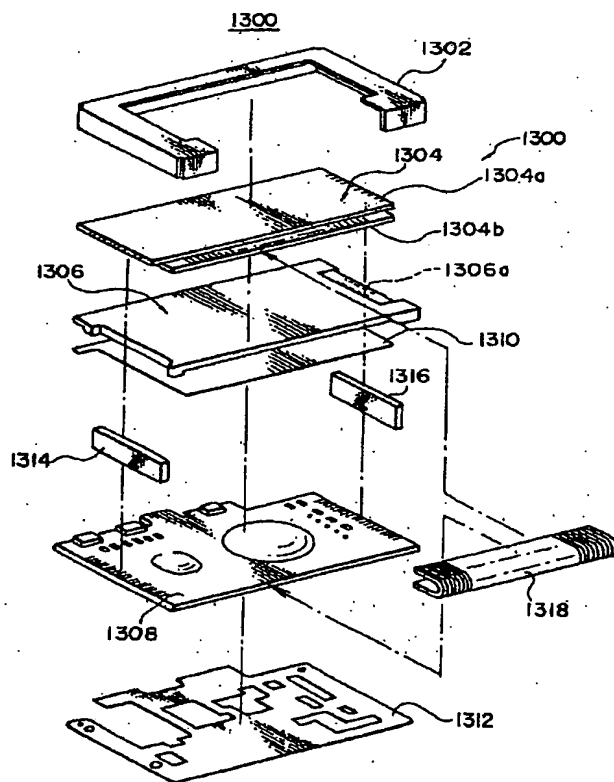
【図 12】



【図 9】



【図 11】



【図14】

